

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-302709

(43)Date of publication of application : 28.10.1994

(51)Int.Cl.

H01L 23/02
H01L 23/12

(21)Application number : 05-112224

(71)Applicant : KOKUSAI ELECTRIC CO LTD
KYOCERA CORP

(22)Date of filing : 15.04.1993

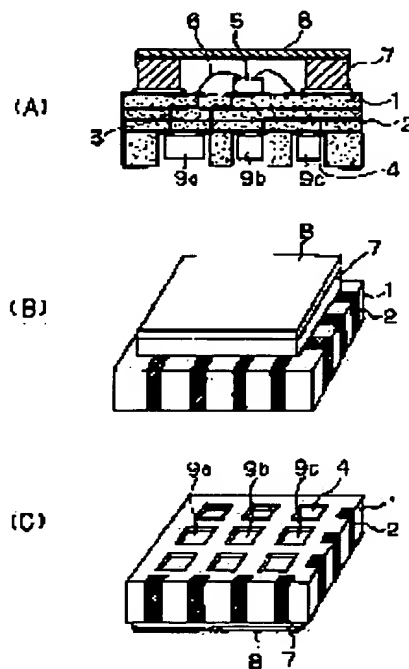
(72)Inventor : TANABE MOTOYASU
SUZUKI HIROKI
SUGIURA MORIHITO
SASAYAMA TORU
SUDO TORU
MIYAWAKI KIYOSHIGE
MURAMATSU MAMORU

(54) SURFACE PACKAGING TYPE HYBRID INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To bring about higher packing density, miniaturization, and cost reduction of an electronic functional circuit device by reducing assembly mechanism parts and the assembly process of the electronic functional circuit device containing semiconductor chips.

CONSTITUTION: At least one semiconductor chip 5 is packaged and sealed on the top of a multilayer ceramic substrate 1. A plurality of recesses 4 are provided at the bottom so that square chip parts 9a, 9b, and 9c can be housed.



LEGAL STATUS

[Date of request for examination]

19.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 3 0 2 7 0 9

(43) 公開日 平成6年(1994) 10月28日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/02	E	8719- 4 M	H 0 1 L 23/12	H
23/12		8719- 4 M		L

審査請求 未請求 請求項の数 1

F D

(全 6 頁)

(21) 出願番号 特願平5-112224

(22) 出願日 平成5年(1993) 4月15日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 田辺 素尉

東京都港区虎ノ門二丁目3番13号 国際電気株式会社内

(74) 代理人 弁理士 大塚 学

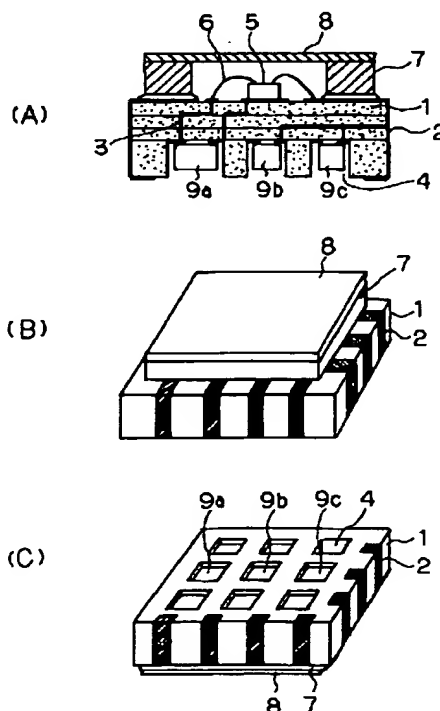
最終頁に続く

(54) 【発明の名称】 表面実装型混成集積回路装置

(57) 【要約】

【目的】 半導体チップを含む電子機能回路装置の組立て機構部品の削減と組立て工程の削減により、電子機能回路装置の高密度化、小形化、コストダウンを目的とする。

【構成】 多層セラミック基板1の上面に少なくとも1つの半導体チップ5を実装して封止するとともに、底面に複数の凹部4を設けて角形チップ部品9を収容するように構成したことを特徴とする。



【特許請求の範囲】

【請求項1】 配線用の側面導体及び内部導体を有し上面が平坦で底面に複数の凹部が設けられた多層セラミック基板と、
該多層セラミック基板の前記上面に設けられた導体電極に取付けられた少なくとも1つの半導体等のベアチップと、
該半導体等のベアチップを保護するための空間部分を設けるため前記多層セラミック基板の前記上面に取付けられた金属枠体と、
該枠体の上面に前記空間部分を封止するために接合された金属キャップと、
前記多層セラミック基板の底面に設けられた前記複数の凹部に収容されたコイル、抵抗、コンデンサ等のチップ部品とを備え、
前記半導体等のベアチップと前記チップ部品とが前記多層セラミック基板の表面または内部に設けられた配線導体によって所定の回路が形成され、前記多層セラミック基板の裏面に表面実装用の平面電極端子が設けられた表面実装型混成集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、通信機、電子機器等に用いられ、その電子回路の一部を機能回路として集積する混成集積回路装置に関するものである。

【0002】

【従来の技術】電子機器の小形化が進むにつれて内部電子回路の集積度が高くなり数々の工夫がなされている。図3は従来の電子機能回路装置の構造例図であり、

(A)は縦断面図を示し、(B)はケース15を外した内部構造例を示す斜視図である。図において、10は半導体実装部品、11は抵抗コンデンサ複合部品、12は角形チップ部品である。これらを面実装した回路基板13は外部接続用ガラスハーメチックピンを有する金属ベース14に取付けられ金属ケース15によって気密封止されている。

【0003】図4は図3の半導体実装部品10の詳細を示す構造例図であり、(A)は縦断面図を示し、(B)はそのキャップ17を外した内部構造を示す斜視図である。図において、16は中央縦断面が凹状の有底無蓋箱形のセラミック多層基板であり、その内部底面に半導体ベアチップ20が金またはアルミの細線15によってワイヤボンディングされている。18は金属枠体であり、セラミック多層基板16の周囲頂部に銀ろうなどのろう剤19によってろう付けされている。17は金属キャップであり、金属枠体18の上面に抵抗溶接などによって接合されて内部空間が形成されている。半導体ベアチップ20は、このようにして形成された内部空間によってその細線の保護と対環境保護のために気密封止されている。(A)に示したセラミック多層基板16の周縁の黒

い太線部分は配線導体部分であり、底面両側部分は図3の回路基板13に面実装する際の電極となる。図5は図3の抵抗コンデンサ複合部品11の詳細を示す構造例図であり、(A)は縦断面図を示し(B)はその斜視図である。図において、21は積層セラミックコンデンサ、22はその上面に設けられた印刷抵抗体、23は抵抗体22とその導体配線を保護するためのオーバガラスである。(A)の積層セラミックコンデンサ21の太線部分は各層のコンデンサの電極及び導体配線部分を示す。その底面の両端部分は図3の回路基板13に面実装する際の電極となる。

【0004】

【発明が解決しようとする課題】このような従来の構造では次のような問題点がある。

(イ)半導体実装部品10と抵抗コンデンサ複合部品11及びその他の角形チップ部品12を一旦回路基板13に面実装した後さらに金属ベース14に取付けケース15によってパッケージする組立て構成のため、構成部品点数が多く小形化、コストダウンに限界がある。

(ロ)半導体ベアチップは、面実装用のセラミックまたはモールドパッケージに実装され、さらに他の部品と共に組立てられてもう一度気密封止され電磁シールドされるので2重パッケージング構成となり、そのための材料や加工のための費用がかかるばかりでなく組立て時間がかかる。本発明の目的は、上述のような問題点を解決し組立工程と部品点数を削減した表面実装型混成集積回路装置を提供することにある。

【0005】

【課題を解決するための手段】本発明の表面実装型混成集積回路装置は、配線用の側面導体及び内部導体を有し上面が平坦で底面に複数の凹部が設けられた多層セラミック基板と、該多層セラミック基板の前記上面に設けられた導体電極に取付けられた少なくとも1つの半導体等のベアチップと、該半導体等のベアチップを保護するための空間部分を設けるため前記多層セラミック基板の前記上面に取付けられた金属枠体と、該枠体の上面に前記空間部分を封止するために接合された金属キャップと、前記多層セラミック基板の底面に設けられた前記複数の凹部に収容されたコイル、抵抗、コンデンサ等のチップ部品とを備え、前記半導体等のベアチップと前記チップ部品とが前記多層セラミック基板の表面または内部に設けられた配線導体によって所定の回路が形成され、前記多層セラミック基板の裏面に表面実装用の平面電極端子が設けられたことを特徴とするものである。以下図面により本発明を詳細に説明する。

【0006】

【実施例】図1は本発明の実施例を示す構造図であり、(A)は縦断面図を示し、(B)は上方からみた上面斜視図、(C)は下方からみた下面斜視図である。図において、1は多層セラミック基板であり、上面は平坦であ

るが下面には複数の凹部 4 が設けられている。5 は半導体ベアチップ、6 は細線、7 はコパール等の金属枠体、8 は金属キャップ、9 は多層セラミック基板 1 の凹部 4 に收容された角形チップ部品であり、例えば、9 a は角型チップコイル、9 b はチップ抵抗、9 c はチップコンデンサである。(A) に示す多層セラミック基板 1 の断面内部及び周縁部の太線部分は配線導体を示し、2 は側面導体、3 は内部導体であり、上面に搭載された半導体ベアチップ 5 及びチップ部品 9 a、9 b、9 c の接続配線と外部回路への接続用電極である。図 1 の実施例では 1 つの半導体ベアチップの例を示しているが一般には複数の半導体ベアチップの金線またはアルミ線によるワイヤボンディング実装またはフリップチップ実装される。多層セラミック基板 1 の材質は、低誘電率のグリーンシートを積層したガラスセラミックであるが、電子回路の信号周波数が低い場合はアルミナを用いてもよい。上述の構成例のように、本発明の構成の第 1 の特徴は、多層セラミック基板 1 の上面に少なくとも 1 つの半導体ベアチップ 5 を直接実装封止することにより、従来の半導体チップの 2 重封止を回避することができることである。そのため、従来の回路基板と、全体を收容する金属ベースや金属ケースが不要となり、それらを組立てる工程も不要となる。しかも、全体の装置を電子機器の基板(マザーボード)に面実装することができる。

【0007】本発明の構成の第 2 の特徴は、多層セラミック基板 1 の底面に複数の凹部 4 を設けてチップ部品 9 を收容するようにしたことである。例えば、図 5 に示した従来の抵抗とコンデンサの複合部品 11 の積層セラミックコンデンサ 21 は、低温焼成(約 800~900℃)の所定の誘電率のグリーンシートが用いられ低温処理によって完成したときの抵抗とコンデンサの値はほぼ設計通りの値が得られる。しかし、このような複合部品 11 の印刷抵抗体 22 と反対の底面に、図 4 に示したように半導体ベアチップ 20 を取り付けて金属枠体 18、金属キャップ 19 で気密封止すると、高密度実装はできるが、金属枠体 18 の取付け時に 1000℃以上の高温処理が必要となり、内蔵コンデンサの容量が変化するため設計通りの値が得られずカットアンドライの繰り返しとなる。このような場合、出来上がった後にコンデンサの値の変化分を補正するためのチップコンデンサが付加する必要がある。図 6 は上記の課題を解決する過程を説明する断面図である。図 6 (A) は上述のように積層セラミックコンデンサ 21 の底面にチップ部品 9 (例えば、角型チップコイル 9 a、チップ抵抗 9 b、チップコンデンサ 9 c) を取り付けた構造である。この場合、全体の厚み(高さ)が大きくなり、しかも、マザーボード 25 に実装するためには接続金具 24 が必要になるため部品点数及び組立工数の低減が難しい。そこで本発明では、図 6 (B) に示すように積層セラミックコンデンサ 21 を多層セラミック基板 1 とし、その底面に複数の凹

部 4 を設け、その中にそれぞれ所定のチップ部品 9 を收容するようにしたのである。このようにすることによってマザーボード 25 に直接表面実装することができ、高密度、小形、薄型の機能回路装置を実現することができる。

【0008】次に、凹部 4 の利点について図 7 を参照しながら説明する。図 7 (A)、(B) は平面基板にチップ部品 9 を取り付ける場合の斜視図であり、(A) ははんだ 31 によるはんだ付けの場合、(B) は熱紫外線併用型または熱硬化型導電性接着剤 32 による接合の場合を示す。(A) のはんだ付けの場合は接合強度が大きい、チップ部品 9 の電極へのはんだのはい上がり(フィレット)が生ずるため、はんだひげによる短絡の危険がありはんだ量を加減する必要があるため作業性が悪い。

(B) の導電性接着剤の場合は接合面が一面だけのため接合強度が弱い。これらに対し、本発明は、同図 (C) に示すようにチップ部品 9 は多層セラミック基板 1 の凹部 4 に收容され、その AA' 断面 (D) 及び BB' 断面 (E) に示すようにチップ部品 9 の電極部分の 4 面に導電性接着剤 33 が着けられるため、はんだ付けの場合と同様の接合強度が得られ、(A)、(B) に比べて高い信頼度が得られる利点がある。但し、接合剤の接合強度が一面で十分取れる場合、もしくは半田ひげ短絡の心配がない時は図 2 に示す本発明の他の実施例のように、底面の複数の凹部 4 を連続させた凹部 4' のように構成することができる。

【0009】

【発明の効果】以上詳細に説明したように、本発明を実施することにより次の効果がある。

- (1) 高密度実装により小形化が実現され、しかも、コストダウンができる。
- (2) チップ部品を埋め込む凹部を設けたことにより、製作後の定数補正が実現可能となる。例えば凹部 4 の数を余裕をもって設けた基本回路部分の標準化モジュールとして量産し、適用周波数帯に対応したチップ部品を必要数だけ取り付けることにより、多品種機能回路装置を低コストで提供することができる。

- (3) 信頼度が高い。

【図面の簡単な説明】

【図 1】本発明の実施例を示す構造図である。

【図 2】本発明の他の実施例を示す縦断面図である。

【図 3】従来の構造例図である。

【図 4】従来の半導体実装部品の構造例図である。

【図 5】従来の抵抗コンデンサ複合部品の構造例図である。

【図 6】本発明の課題解決手段の説明図である。

【図 7】本発明の利点の説明図である。

【符号の説明】

- 1 多層セラミック基板
- 2 側面電極

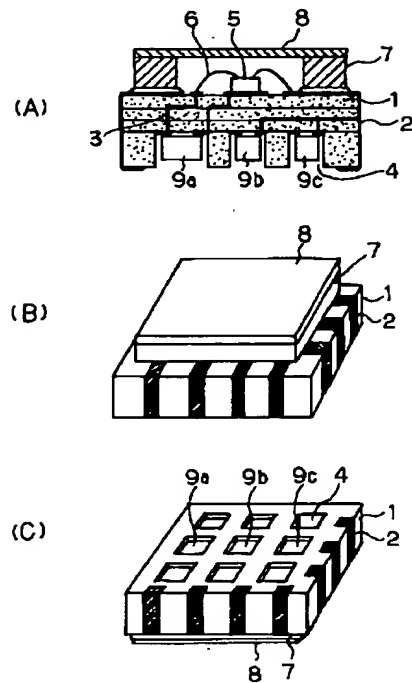
5

6

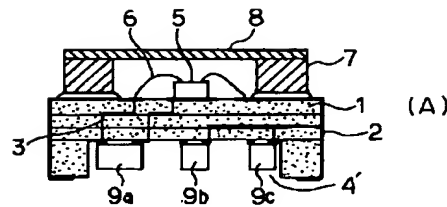
- 3 内部電極
4, 4' 凹部
5 半導体チップ
6 細線
7 金属枠体
8 金属キャップ
9 チップ部品
10 半導体実装部品
11 抵抗コンデンサ複合部品
12 角形チップ部品
13 回路基板
14 金属ベース
15 金属ケース

- 16 セラミック多層基板
17 金属キャップ
18 金属枠体
19 ろう
20 半導体チップ
21 積層セラミックコンデンサ
22 抵抗体
23 オーバガラス
24 接続金具
25 マザーボード
31 はんだ
32, 33 導電性接着剤

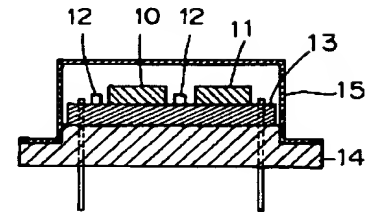
【図1】



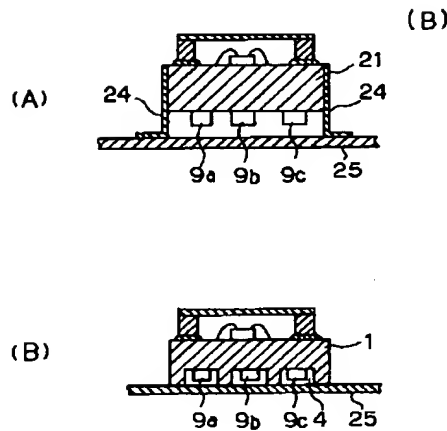
【図2】



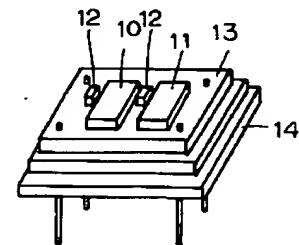
【図3】



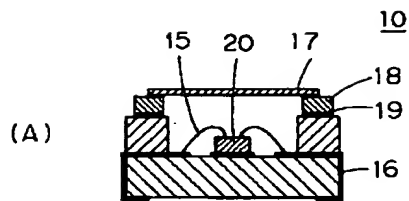
【図6】



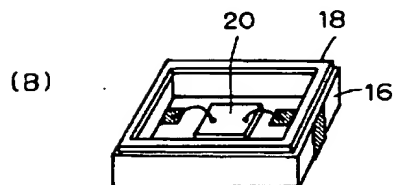
(B)



【図4】

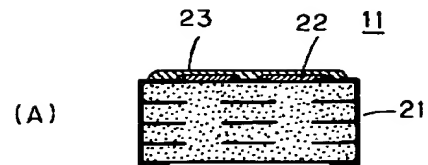


(A)

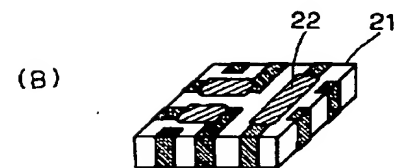


(B)

【図5】

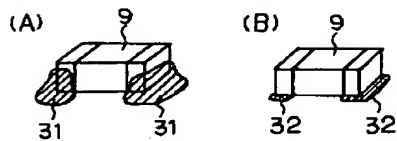


(A)



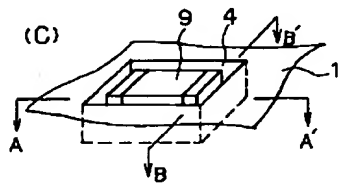
(B)

【図7】

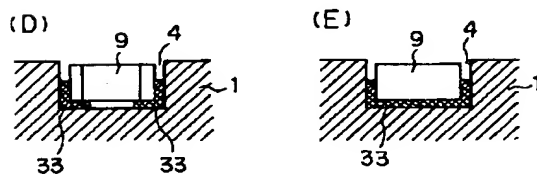


(A)

(B)



(C)



(D)

(E)

フロントページの続き

(72)発明者 鈴木 裕樹
東京都港区虎ノ門二丁目3番13号 国際電
気株式会社内

(72)発明者 杉浦 守人
東京都港区虎ノ門二丁目3番13号 国際電
気株式会社内

(72)発明者 笹山 徹
東京都港区虎ノ門二丁目3番13号 国際電
気株式会社内

(72)発明者 須藤 徹
秋田県南秋田郡天王町天王字長沼64 五洋
電子工業株式会社天王工場内

(72)発明者 宮脇 清茂
京都市山科区東野北井ノ上町5-22 京セラ株式会社内

(72)発明者 村松 守
鹿児島県川内市高城町1810 京セラ株式会社鹿児島川内工場内